



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001024187 A**(43) Date of publication of application: **26.01.01**

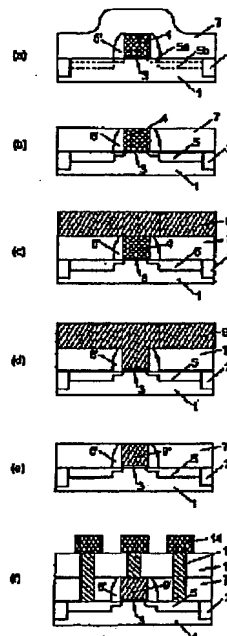
(51) Int. Cl.

H01L 29/78**H01L 21/336****H01L 21/28**(21) Application number: **11192011**(71) Applicant: **NEC CORP**(22) Date of filing: **06.07.99**(72) Inventor: **SHIBA KAZUTOSHI****(54) MANUFACTURE OF SEMICONDUCTOR DEVICE****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a method for manufacturing with reduced number of process steps a semiconductor device using metal gate electrodes which exhibits excellent dynamic characteristics.

SOLUTION: The method for manufacturing a MOSFET includes a step for forming a device isolation area on a semiconductor substrate 1, a step for forming a dummy gate 4 in an area where a gate is to be formed, a step for forming a source/drain area 5 by introducing impurities in the semiconductor substrate using the dummy gate 4 as mask, a step for growing an interlayer insulating film, a step for exposing the surface of the dummy gate 4 by reducing the thickness of the interlayer insulating film while flattening it, and a step for initiating a thermal substitution reaction of dummy gate 4 with the metal gate.

COPYRIGHT: (C)2001,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-24187

(P2001-24187A)

(43) 公開日 平成13年1月26日 (2001.1.26)

(51) IntCl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 P 4 M 1 0 4
21/336		21/28	K 5 F 0 4 0
21/28			3 0 1 L
	3 0 1	29/78	3 0 1 G

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平11-192011

(22) 出願日 平成11年7月6日 (1999.7.6)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 柴 和利

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100065385

弁理士 山下 穰平

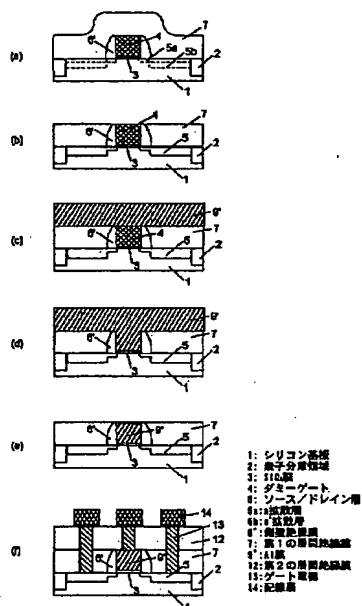
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 メタルゲート電極を用いた半導体装置において、工程数を削減し、動的特性にも優れた製造方法を実現する。

【解決手段】 MOSFETの製造方法において、半導体基板1上に素子分離領域を形成する工程と、ゲート形成予定域にダミーゲート4を形成する工程と、このダミーゲートをマスクとして前記半導体基板に不純物を導入してソース/ドレイン領域5を形成する工程と、層間絶縁膜を成長する工程と、前記層間絶縁膜を平坦化しながら薄膜化して前記ダミーゲートの表面を露出させる工程と、前記ダミーゲートをメタルゲートに熱置換反応する工程とを含むことを特徴とする。



【特許請求の範囲】

【請求項1】 半導体基板上に素子分離領域を形成する工程と、ゲート形成予定域にダミーゲートを形成する工程と、このダミーゲートをマスクとして前記半導体基板に不純物を導入してソース/ドレイン領域を形成する工程と、前記ダミーゲートを熱置換することにより金属ゲートを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記ダミーゲートをシリコンを主体とした材料で形成し、このダミーゲートのシリコンをアルミニウムと熱置換反応させることにより金属ゲートを形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記ダミーゲートが、不活性導電体膜上にシリコンを主体とした膜を積層した膜によって形成されていることを特徴とする請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係わり、金属-酸化膜-半導体型の電界効果半導体装置(Metal Oxide Semiconductor field effect transistor; 以下、MOSFETと略す)とその製造方法に関する。

【0002】

【従来の技術】集積回路に用いられるMOSFETは、高集積化と共にゲート長が短くなっており、現在は $0.1\mu\text{m}$ に達しようとしている。ゲート電極にはこれまでポリシリコンが用いられている。ゲート電極の低抵抗化のためシリサイド化が行われるが、ゲート長が短くなるに従い低抵抗層を形成することが難しくなってくる。またp型MOSFETにおいては、ゲート酸化膜が薄くなるに従い、ゲート電極へのイオン注入及び活性化で基板へのボロン突き抜けが起こる。それを防ぐためにゲート電極と酸化膜界面近傍のボロンの濃度は低くした場合は、ゲート電極の空乏化が問題となる。

【0003】これらゲート電極で問題となる課題を解決するため、ポリシリコンの代わりにタンガステン等の金属電極を用いることが提案されている。この金属電極を用いた半導体装置の従来例(A. Jhatterjee, et. al., 1998年国際電子デバイス会議: 1998 International Electron Devices Meeting, テクニカルダイジェスト p. 777)を図5(a)に示す。図5(a)において、1はシリコン基板、2はSTI(Shallow Trench Isolation)等による素子分離領域、3はゲート絶縁膜である SiO_2 膜、4はポリシリコン等の層間絶縁膜7(例えば SiO_2 膜)に対して選択的に除去できる膜で形成されたダミーゲート、5はソース/ドレイン層、6は Si_3N_4 による側壁絶縁膜である。

【0004】図5(a)に示す構造は、従来のMOSFET形成法で形成する。層間絶縁膜7を堆積後、図5(b)に示すよ

うにCMP(Chemical Mechanical Polishing)によって全面の平坦化を行い、ダミーゲート電極表面を露出させる。次に、図5(c)に示すように、露出したダミーゲート4を選択的に除去し、素子分離層2及び SiO_2 膜3の表面を露出させる。この後 SiO_2 膜3を例えば希釈した弗酸溶液などでエッチング除去する。 Si_3N_4 を側壁絶縁膜6に用いるのは、 SiO_2 膜3の除去の時に側壁絶縁膜6の後退を防ぐためである。しかし、 Si_3N_4 膜は SiO_2 膜に比べ高誘電率であるため、ゲートフリッジ容量が増大し、トランジスタの高速動作の妨げとなる。 SiO_2 膜3除去後、図5(d)に示すように、ゲート絶縁膜8として、 SiO_2 膜を熱酸化により形成したり高誘電率膜である Ta_2O_5 膜等を堆積する。次にゲート電極として、例えば金属膜9(Ru膜、TiN膜、W膜等、あるいはこれらの積層膜)を全面に堆積する。次に、図5(e)に示すように、全面にCMPを施すことにより、ダミーゲート4を除去した後の溝にゲート電極を形成する。

【0005】

【発明が解決しようとする課題】上記のような従来方法では、まずトランジスタを形成し、ダミーゲート4を除去した後、改めてゲート絶縁膜8と金属膜9を堆積し、CMPにより、金属ゲートを形成する。よって、従来のトランジスタ形成に比べて、工程数が大幅に増大する問題がある。また、 SiO_2 膜($\epsilon \sim 4.0$)に比べ高誘電率である Si_3N_4 ($\epsilon \sim 7.5$)を側壁絶縁膜6に用いているため、ゲートフリッジ容量が増大する。ゲートフリッジ容量は、側壁絶縁膜の誘電率に比例するため、 SiO_2 膜に比べ Si_3N_4 膜では2倍近く増大し、トランジスタの高速動作の妨げとなる。このように、前記製造工程は、ダミーゲートを用いることで金属ゲート実現が提案されているが、工程数の増大とゲートフリッジ容量の増大という問題がある。

【0006】本発明の目的は、金属ゲートを実現しつつ、側壁絶縁膜に Si_3N_4 等の誘電率が高い膜を使用せず、製造工程数を削減することが可能な半導体装置及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】本発明は、ダミーゲートを熱置換反応によって金属に置き換える工程を備えた半導体装置の製造方法を提供するものである。

【0008】すなわち本発明は、半導体基板上に素子分離領域を形成する工程と、ゲート形成予定域にダミーゲートを形成する工程と、このダミーゲートをマスクとして前記半導体基板に不純物を導入してソース/ドレイン領域を形成する方法と、前記ダミーゲートを金属ゲートに熱置換する工程とを有することを特徴とする半導体装置の製造方法である。

【0009】金属ゲートは、シリコンを主体とした材料からなるダミーゲートとアルミニウムの熱置換反応によって形成することができる。

【0010】さらに、ダミーゲートは、好ましくは導電体膜上にシリコンを主体とした材料膜を積層した膜によって形成される。

【0011】すなわち本発明の方法では、障壁膜に SiO_2 を用い、通常の方法でMOSFETを形成した後、CMPによりダミーゲートのポリシリコンあるいはアモルファスシリコン電極表面を露出させる。その後、 Al 膜を堆積し、例えば $450\sim 500^\circ\text{C}$ の熱処理を行うことによってポリシリコンあるいはアモルファスシリコンを Al で置換する。

【0012】本発明における置換工程にはダミーゲート除去の工程がない。また、ゲート絶縁膜に SiO_2 膜をそのまま用いるため、側壁絶縁膜は SiO_2 膜でよく、ゲートフリッジ容量の増大がなく、動的特性にも優れている。 Al への置換ではなく、 W に置換した例として、六フッ化タンゲステン・ガス(WF_6)雰囲気中で Si 還元を行う方法が提案されているが、残留フッ素によりゲート酸化膜の低誘電率化や信頼性の劣化が発生する可能性がある。また、 Al ゲートの場合、 Al 抵抗率は $2.6\ \mu\Omega\cdot\text{cm}$ と、 W ($5.7\ \mu\Omega\cdot\text{cm}$)に比べ $1/2$ 以下であるため、より低抵抗のゲート電極が実現できる。

【0013】以下、本発明の実施の形態を図面に示したがつて詳細に説明する。ここでは、 n 型MOSFETを念頭において述べて行くが、基板や不純物領域の伝導型を逆にすれば、 p 型のMOSFETになることは言うまでもない。

【0014】

【発明の実施の形態】本発明の第1の実施の形態を図1に基づいて説明する。図1(a)において、不純物濃度 $5\times 10^{15}\ \text{cm}^{-3}$ 程度の p 型シリコン基板1表面に、例えばRIE法を用いて溝を掘り、その溝に絶縁膜を埋め込む、いわゆるトレンチ型の素子分離領域(STI)2を形成する。次に、ゲート絶縁膜として、例えば厚さ 3nm 程度の SiO_2 膜3を熱酸化により形成し、この SiO_2 膜3の上にダミーゲート4を形成するためのポリシリコンあるいはアモルファスシリコン膜を膜厚 300nm 程度で全面に堆積し、リソグラフィ法とRIE法などを用いてダミーゲートを加工する。

【0015】なお、ダミーゲート4には、ソース/ドレイン領域活性化時にゲート領域で不純物(特に p 型MOSFETで、 B を用いた場合)が基板に突き抜けることのないように、結晶粒界のないアモルファスシリコン膜を用いるのが望ましい。

【0016】次に、拡散層伸張領域を形成するため、ダミーゲート4となるアモルファスシリコン膜をマスクとして、例えば砒素(As^+)のイオン注入を $4\times 10^{14}\ \text{cm}^{-2}$ 程度行い、 n 拡散層5aを形成する。次に、側壁絶縁膜6'を形成し、例えば砒素(As^+)のイオン注入を $6\times 10^{15}\ \text{cm}^{-2}$ 程度行い、 n' 拡散層5bを形成する。次に、 1000°C 、 10 秒程度のRTAプロセスで、イオン注入層の活性化を行う。なお、このような延長領域を有する構造でなく、 n 拡散層5aのみ、あるいは n' 拡散層5bのみのシングルドレイン構造としてもよい。

【0017】次に、全面に層間絶縁膜として例えば SiO_2 膜を 300nm 程度堆積し、CMPによって全面の平坦化を行い、図1(b)に示すように、ダミーゲート4となるアモルファスシリコン膜の表面を露出させる。

【0018】次に、図1(c)に示すように、 Al 膜9'をスパッタ堆積する。その後、 $450\sim 500^\circ\text{C}$ の温度でアニールを行えば、図1(d)のようにアモルファスシリコン膜のダミーゲート4が Al 膜に置換される。この Al 膜への置換は完全に行ってもよいが、温度と時間を制御することで、溝底部はシリコンそのままにすることもできる。この場合は、トランジスタのしきい値(V_{th})設計を従来通りに行えばよい。但し、ゲート電極の空乏化を防ぐために、ダミーゲート4はポリシリコン膜が望ましい。この後、図1(e)に示すように、全面にCMPを施すことにより、 Al 膜9'で置換したゲート電極を形成する。

【0019】次に、全面に層間絶縁膜12として、例えば SiO_2 膜を約 500nm 程度の膜厚で堆積した後、ソース/ドレイン層5及びゲート電極13に達するコンタクト孔をリソグラフィ技術及びドライエッチ技術を用いて形成する。

【0020】最後に、図1(f)に示したように、コンタクト孔をプラグ技術を用いてメタル(例えば W)で埋め戻してゲート電極13を形成した後、配線層14を Al を主体とする金属で形成する。以上のような工程によって作成されたトランジスタでは、側壁絶縁膜6'に SiO_2 膜を用いることができ、図1に示す構造に比べ高速動作が期待できる。また、ダミーゲート4及び SiO_2 膜3の除去工程がないため、工程数も従来のポリシリコンゲートを用いた構造に比べ少なくなる。

【0021】次に、図2に示す第2の実施の形態について説明する。

【0022】図1(a)に示すダミーゲート4を加工する工程で、図2(a)に示すように、ゲート絶縁膜である SiO_2 膜3上に、例えばリン(P)添加のポリシリコン膜4'を 50nm 程度堆積する。次に、 10nm 程度の不活性導電体膜例えば TiN 膜15を堆積し、ダミーゲート4を堆積する。この後、リソグラフィ法とRIE法などを用いてダミーゲート4及び TiN 膜15を加工する。

【0023】この構造を形成する時、導電体膜である TiN 膜15の膜自体は 10nm 程度と薄膜であるため、均一性を維持しながら、ゲート絶縁膜である SiO_2 膜3表面上でエッチングを止めることが可能である。なお、不純物添加のポリシリコン膜4'を形成するのは、不純物添加無しのポリシリコン膜4'を堆積した後、イオン注入法によって不純物を導入して行ってもよい。

【0024】この後は、第1の実施の形態と同様な製造方法を用いることで、図2(b)に示すように、ゲート絶縁膜である SiO_2 膜3の上に Al 膜9'/不活性導電体膜15/ポリシリコン膜4'といった低抵抗ゲートを形成することが可能である。

【0025】図1に示した構造では、従来のポリシリコンゲートで V_{th} を制御するため、ダミーポリシリコンゲート4のAl膜9'への置換を温度と時間を制御する。しかし、図2(b)に示すゲート構造では、TiN膜15とAlが反応しないため、Al膜9'への熱置換反応はAlがTiN膜15に到達した時点で終了する。そのため、制御性に優れており、 V_{th} のばらつきも少ない特徴を持つ。

【0026】図3は、本発明の第3の実施の形態を示している。図3(a)に示すように、ゲート絶縁膜である SiO_2 膜3上に、第2の実施の形態で行ったポリシリコン膜4'を用いずに、10nm程度の不活性導電体膜として、例えばTiN膜、Ru膜、W膜（この例ではTiN膜15）を堆積した状態でダミーゲート4を堆積する。この後は、第2の実施の形態と同様な製造方法を用いることで、図3(b)に示すように、 SiO_2 膜3上にAl膜9'／不活性導電体膜15といった低抵抗メタルゲートを形成することが可能である。

【0027】ゲート加工において、不活性導電体膜であるTiN膜15の膜自体が10nm程度と薄膜であるため、ゲート絶縁膜である SiO_2 膜3上に均一性を維持しながらエッチングを止めることが可能であるのは、第2の実施の形態と同様である。この第2の実施の形態では、不活性導電体膜15に何をを使うか選定することによって、トランジスタの V_{th} を設計することができ、ゲート電極が低抵抗材料（例えば、メタルだけ）で形成されているため非常に低抵抗となる特徴がある。

【0028】次に、図4にしたがって第4の実施の形態を説明する。

【0029】まず、第1の実施の形態と同様、素子分離領域2を形成後、ゲート絶縁膜としての SiO_2 膜3及びダミーゲート4を形成するためのポリシリコンあるいはアモルファスシリコンを堆積する。この後、図4(a)に示すように、 SiO_2 等の絶縁膜10を5nm程度、ポリシリコン膜4上に形成する。次に、図4(b)に示すように、絶縁膜10とダミーゲート4加工し、ソース／ドレイン層5及び側壁絶縁膜6'を形成する。次に、図4(c)に示すように、公知のシリサイド技術を用いて、例えば $TiSi_2$ や $CoSi_2$ のシリサイド層11をソース／ドレイン層5上のみ形成する。この後、全面に層間絶縁膜12を堆積し、CMPによって全面の平坦化を行い、ダミーゲート4の表面を露出させ、第1の実施の形態で示した同様な製造方法を用いてゲート置換を行い、メタルゲートのMOSFETを形成する。

【0030】従来プロセスのように絶縁膜10を用いないでシリサイド工程を行うと、拡散層5と同時にダミーゲート4の表面がシリサイド化する。ダミーゲート4にシリサイド層が形成されると、ダミーゲート4とAl膜9'の置換反応が起きない。しかし、絶縁膜10を用いることによって、ダミーゲート4の表面のシリサイド化を防ぐことができ、メタルゲートで且つ拡散層にシリサイドを用い

た低抵抗のMOSFET形成が可能となる。第4の実施の形態は、第2及び第3の実施の形態で示したゲート絶縁膜（ SiO_2 膜）3の上に導電体膜（TiN膜）15を形成した場合においても、同様に拡散層表面のシリサイド化が可能であることは言うまでもない。

【0031】なお、本発明は、以上に説明した各実施の形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施可能である。

【0032】

【発明の効果】以上に説明したように、本発明の半導体装置、及び、その製造方法を用いることで、製造工程の比較的少ないメタルゲートを有するMOSFETを形成できる。本発明においては、側壁絶縁膜に Si_3N_4 膜のような誘電率の高い材料を用いずとも、設計値通りのゲート長でメタルゲートを形成でき、高速動作が実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における半導体装置の製造方法を示す工程断面図。

【図2】本発明の第2の実施の形態における半導体装置の製造方法を示す工程断面図。

【図3】本発明の第3の実施の形態における半導体装置の製造方法を示す工程断面図。

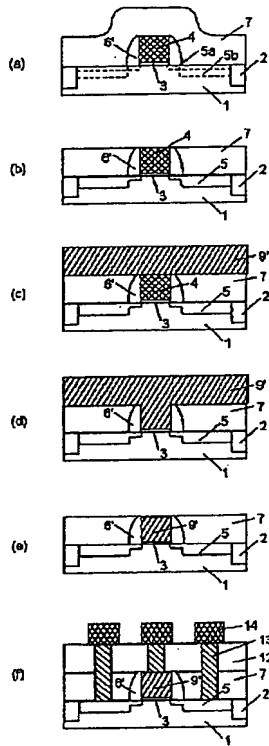
【図4】本発明の第4の実施の形態における半導体装置の製造方法を示す工程断面図。

【図5】従来技術における半導体装置の製造方法を示す工程断面図。

【符号の説明】

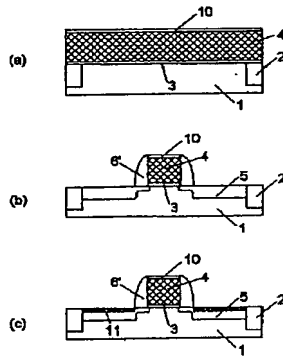
- 1 シリコン基板
- 2 素子分離領域
- 3 SiO_2 膜
- 4 ダミーゲート
- 4' ポリシリコン膜
- 5 ソース／ドレイン層
- 5a n拡散層
- 5b p拡散層
- 6 障壁膜
- 6' 側壁絶縁膜
- 7 第1の層間絶縁膜
- 8 ゲート絶縁膜
- 9 ゲート電極
- 9' Al膜
- 10 絶縁膜
- 11 シリサイド層
- 12 第2の層間絶縁膜
- 13 ゲート電極
- 14 配線層
- 15 TiN膜

【図1】



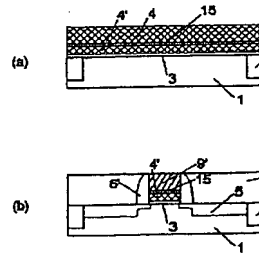
- 1: シリコン基板
2: 素子分離領域
3: SiO₂膜
4: ドレーンゲート
5: ソース/ドレイン層
6a: n拡散層
6b: p拡散層
6': 側壁絶縁膜
7: 第1の層間絶縁膜
8: Al膜
12: 第2の層間絶縁膜
13: ゲート電極
14: 配線層

【図4】



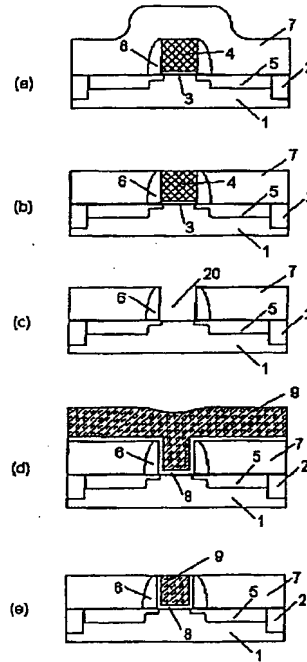
10: 絶縁膜

【図2】

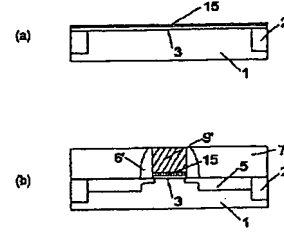


4': ポリシリコン膜
15: Ti膜

【図5】



【図3】



フロントページの続き

F ターム(参考) 4M104 BB01 BB03 BB18 BB20 CC01
CC05 DD03 DD04 DD37 DD79
DD83 FF18 GG08 HH20
5F040 DA06 DA11 DC01 EC01 EC02
EC04 EC07 EC08 EC10 EC12
EF02 EK01 EK05 FA01 FA02
FA05 FA13 FB02 FB05 FC00
FC10 FC19 FC21 FC22